



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2003-0058253  
Application Number

출원년월일 : 2003년 08월 22일  
Date of Application AUG 22, 2003

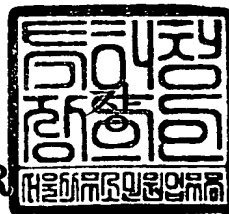
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 . 년 10 월 10 일

특 허 청

COMMISSIONER





## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0008
【제출일자】	2003.08.22
【국제특허분류】	G11C
【발명의 명칭】	플래쉬 메모리 셀의 안정적인 프로그래밍을 위한 프로그램 전압 발생 회로 및 그 프로그래밍 방법
【발명의 영문명칭】	Program voltage generation circuit for safe programming of flash memory cell and programming method of flash memory cell
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	박재관
【성명의 영문표기】	PARK, Jae Kwan
【주민등록번호】	690918-1009417
【우편번호】	139-734
【주소】	서울특별시 노원구 하계2동 학여울청구아파트 115-806호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)



1020030058253

출력 일자: 2003/10/16

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 5 면 5,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 8 항 365,000 원

【합계】 399,000 원

【첨부서류】

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

플래쉬 메모리 셀의 안정적인 프로그래밍을 위한 프로그램 전압 발생 회로 및 그 프로그래밍 방법이 개시된다. 본 발명의 프로그램 전압 발생 회로는 정전류원으로부터 제공되는 싱크 전류와 기준 전압과 비트라인 전압을 비교한 결과에 응답하여 제1 플래쉬 메모리 셀의 게이트로 인가되는 프로그램 워드라인 전압을 발생하고, 제1 플래쉬 메모리 셀로 흐르는 프로그램 전류에 따라 비트라인 전압을 발생하고, 프로그램 워드라인 전압에 응답하여 제2 플래쉬 메모리 셀로 흐르는 프로그램 전류에 응답하여 비트라인 전류 제어 전압을 발생한다. 이에 따라, 본 발명은 플래쉬 메모리 셀을 프로그램 전압 발생 회로에 채용하기 때문에, 공정 변화에 의해 플래쉬 메모리 셀의 특성 변화가 일어나더라도, 항상 일정한 프로그램 워드라인 전압과 비트라인 전압, 비트라인 전류 제어 전압, 그리고 프로그램 전류가 발생되어 플래쉬 메모리 셀의 프로그램 동작이 안정적으로 수행된다.

**【대표도】**

도 9

**【색인어】**

플래쉬 메모리 셀, 프로그래밍, 프로그램 전류,

**【명세서】****【발명의 명칭】**

플래쉬 메모리 셀의 안정적인 프로그래밍을 위한 프로그램 전압 발생 회로 및 그 프로그래밍 방법{Program voltage generation circuit for safe programming of flash memory cell and programming method of flash memory cell}

**【도면의 간단한 설명】**

도 1은 플래쉬 메모리 셀을 설명하는 도면이다.

도 2는 노아형 플래쉬 메모리의 코아 셀 어레이를 설명하는 도면이다.

도 3은 플래쉬 메모리 셀의 동작 모드에 따른 전압 레벨을 설명하는 도면이다.

도 4는 종래의 프로그램 워드라인 전압 발생 회로를 나타내는 도면이다.

도 5는 도 4의 프로그램 워드라인 전압 발생 회로로부터 발생하는 프로그램 워드라인 전압( $V_{wl}$ )의 분포를 설명하는 그래프이다.

도 6은 종래의 비트라인 전류 제어 회로를 설명하는 도면이다.

도 7은 도 6의 엔모스 트랜지스터의 동작 그래프를 설명하는 도면이다.

도 8은 종래의 프로그램 워드라인 전압과 비트라인 전압, 그리고 비트라인 전류 제어 전압에 의한 플래쉬 메모리 셀의 프로그램 동작을 설명하는 도면이다.

도 9는 본 발명의 일실시예에 따른 프로그램 워드라인 전압 발생 회로를 설명하는 도면이다.

도 10은 본 발명의 일실시예에 따른 비트라인 전류 제어 회로를 설명하는 도면이다.

도 11은 본 발명의 프로그램 워드라인 전압과 비트라인 전압, 그리고 비트라인 전류 제어 전압에 의해 프로그래밍되는 플래쉬 메모리 셀을 설명하는 도면이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <12> 본 발명은 반도체 메모리 장치에 관한 것으로, 특히 플래쉬 메모리 셀의 안정적인 프로그래밍을 위한 프로그램 전압 발생 회로 및 플래쉬 메모리 셀의 프로그래밍 방법에 관한 것이다.
- <13> 플래쉬 메모리는 기억 용량이 증대된 휴대용 제품 및 내장형 제품 등에 적용되어 그 수요가 급성장하고 있다. 플래쉬 메모리는 하드 디스크와 같은 대량 저장 매체를 대체할 수 있고, 예컨대 디지털 카메라 및 음성 메일 시스템 등에 사용되고 있다. 특히, 노아형 플래쉬 메모리 장치는 전기적으로 프로그램 및 소거 동작이 가능한 다른 불휘발성 메모리 장치들과 비교하여 보면, 프로그램 및 읽기 동작에 있어서 속도가 월등히 빠르기 때문에 빠른 속도를 요구하는 사용자들에게 큰 호응을 받고 있다.
- <14> 도 1은 플래쉬 메모리 셀을 설명하는 도면이다. 이를 참조하면, 플래쉬 메모리 셀은 소스와 드레인 사이의 채널 영역 위로 플로팅 게이트와 제어 게이트가 형성되는 구조를 갖는다. 플래쉬 메모리 셀의 프로그램 동작은 드레인 측에 채널 핫 전자(channel hot electron)를 형성하여 플로팅 게이트로 전자를 주입하는 CHEI(Channel Hot Electron Injection) 방법으로 이루어지고, 소거 동작은 F-N 터너링(Fowler-Nordheim tunneling)을 이용하여 플로팅 게이트에 저장된 전하를 제거하는 방법으로 이루어진다.



- <15> 도 2는 노아형 플래쉬 메모리의 코아 셀 어레이를 설명하는 도면이다. 이를 참조하면,  $j$  행들과  $i$  열들로 구성되는 매트릭스 내에 그 교차점마다 플래쉬 메모리 셀들이 배열되어 있다. 플래쉬 메모리 셀들의 제어 게이트들로는 워드라인 전압들( $V_{w1}(j)$ )이 인가되고, 소스들은 소스 전압들( $V_s(k)$ )이 인가되고, 드레인들은 비트라인 전압들( $V_{b1}(i)$ )이 인가된다.
- <16> 플래쉬 메모리 셀들의 독출 동작, 프로그램 동작 그리고 소거 동작은 도 3에 나타낸 동작 전압들에 의해 이루어진다. 도 3을 참조하면, 플래쉬 메모리 셀의 독출 동작은 워드라인 전압( $V_{w1}$ )이 1.5V, 소스 전압( $V_s$ )이 0V, 그리고 비트라인 전압( $V_{b1}$ )이 0.7V 정도로 인가되어 수행된다. 플래쉬 메모리 셀의 프로그램 동작은 워드라인 전압( $V_{w1}$ )이 1.4V, 소스 전압( $V_s$ )이 8V, 그리고 비트라인 전압( $V_{b1}$ )이 0.4V 정도로 인가되어 수행되고, 플래쉬 메모리 셀의 소거 동작은 워드라인 전압( $V_{w1}$ )이 11V, 소스 전압( $V_s$ )이 0V, 그리고 비트라인 전압( $V_{b1}$ )이 0V 정도로 인가되어 수행된다.
- <17> 특별히, 플래쉬 메모리 셀의 프로그램 동작은 플래쉬 메모리 셀의 드레인과 소스 사이에 가해지는 강한 전위차로 인해 발생하는 채널 핫 일렉트론이 플로팅 게이트로 이동하면서 문턱 전압을 상승시키는 동작으로 이루어진다. 프로그램 동작을 수행하는 경우, 일정량의 동작 전류가 소모되는 데, 이를 최소화하는 것이 플래쉬 메모리 장치의 제품 성능을 결정하는 중요한 요소이다. 그리고, 프로그램 동작 시 비트라인을 공유하는 플래쉬 메모리 셀 어레이 구조에서, 선택되지 않은 플래쉬 메모리 셀들에 의도되지 않는 스트레스, 즉 펀치 쓰로우 디스틸브(punch through disturb) 현상에 의해 플래쉬 메모리 셀의 문턱 전압이 변하는 것을 방지하기 위하여 플래쉬 메모리 셀의 드레인에 비트라인 전압( $V_{b1}$ )이 인가되어야 한다.
- <18> 도 4는 프로그램 워드라인 전압 발생 회로를 나타내는 도면이다. 이를 참조하면, 정전류 발생부(410)로부터 프로그램 전류( $I_{pgm}$ )가 제공되고, 전류 미러를 구성하는 제1 및 제2 피모스

트랜지스터(P1, P2)에 의하여 제2 피모스 트랜지스터(P2), 셀 트랜지스터(C1) 그리고 저항(R)으로 구성되는 경로 상에 프로그램 전류( $I_{pgm}$ )가 흐른다. 셀 트랜지스터(C1)는 제어 게이트와 드레인이 연결된 다이오드형으로 구성되고, 제2 피모스 트랜지스터(P2)와 셀 트랜지스터(C1)의 연결 노드 전압은 워드라인 전압( $V_{w1}$ )으로 발생되어 코아 셀 어레이로 제공된다.

<19> 도 5는 도 4의 프로그램 워드라인 전압 발생 회로로부터 발생하는 프로그램 워드라인 전압( $V_{w1}$ )의 분포를 설명하는 그래프이다. 이를 참조하면, 제1 내지 제3 프로그램 전류( $I_{pgm}$ )로의 변화에 따라 프로그램 워드라인 전압( $V_{w1}$ )이 제1 내지 제3 프로그램 워드라인 전압들( $V_{w11}$ ,  $V_{w12}$ ,  $V_{w13}$ )로 변화된다. 즉, 프로그램 전류( $I_{pgm}$ ) 변화가 프로그램 워드라인 전압( $V_{w1}$ ) 발생에 그대로 반영되어 나타난다. 프로그램 전류( $I_{pgm}$ ) 값은 공정 변화에 따라서 변하는 요소로써, 앞서 도 3에 표시된 프로그램 동작 시 원하는 워드라인 전압( $V_{w1}$ ) 레벨을 변화시키는 문제점을 야기한다. 그리고, 프로그램 전류( $I_{pgm}$ )의 변화는 도 4의 프로그램 워드라인 발생 회로의 저항(R) 양단에 걸리는 비트라인 전압( $V_{b1}$ )도 변화시키는 문제점도 일으킨다.

<20> 도 6은 플래쉬 메모리 셀의 프로그램 동작시 플래쉬 메모리 셀의 비트라인으로 흘리는 비트라인 전류를 제어하는 회로를 설명하는 도면이다. 이를 참조하면, 정전류원(610)으로부터 프로그램 전류( $I_{pgm}$ )가 제공되고, 전류 미러를 구성하는 제3 및 제4 피모스 트랜지스터(P3, P4)에 의하여 제4 피모스 트랜지스터(P4)와 다오드 연결된 엔모스 트랜지스터(N1)로 구성되는 경로 상에 프로그램 전류( $I_{pgm}$ )가 흐른다. 도 7에 도시된 엔모스 트랜지스터(N1)의 동작 그래프를 살펴보면, 일정한 프로그램 전류( $I_{pgm}$ )가 엔모스 트랜지스터(N1)의 드레인과 소스 사이를 흐르면 엔모스 트랜지스터(N1)의 게이트와 소스 사이의 전압 레벨은 비트라인 전류 제어 전압( $V_{gc}$ )으로 잡힌다.



- <21> 비트라인 전류 제어 전압( $V_{gc}$ )은 도 8의 플래쉬 메모리 셀(C2)와 연결되는 엔모스 트랜지스터(N2)의 게이트로 제공되고 플래쉬 메모리 셀(C2)은 그 게이트에 프로그램 워드라인 전압( $V_{w1}$ )이 인가되고 그 드레인에 비트라인 전압( $V_{b1}$ )이 인가되어, 플래쉬 메모리 셀(C2)로 프로그램 전류( $I_{pgm}$ )가 흐르면서 플래쉬 메모리 셀(C2)이 프로그래밍된다.
- <22> 이러한 플래쉬 메모리 셀(C2)의 프로그램 동작을 위하여, 도 4의 프로그램 워드라인 전압 발생 회로 및 도 6의 비트라인 전류 제어 회로는 플래쉬 메모리 셀(C2)의 전류 특성을 정확히 알고 있어야 이상적인 프로그램 전류( $I_{pgm}$ )를 설정할 수 있다는 전제 조건을 달고 있다. 그리고, 공정 변화에 따라 프로그램 전류( $I_{pgm}$ )가 변화되면 플래쉬 메모리 셀(C2)로 프로그램 전류( $I_{pgm}$ )를 흘리게 하는 프로그램 워드라인 전압( $V_{w1}$ )도 변화되기 때문에, 플래쉬 메모리 셀(C2)로의 정확한 프로그램 전류( $I_{pgm}$ )를 얻을 수 없는 문제점이 있다. 이에 따라 플래쉬 메모리 셀의 프로그램 동작이 불완전해지는 결과를 초래한다.
- <23> 그러므로, 공정 변화에 대해서 안정적으로 프로그램 워드라인 전압( $V_{w1}$ )과 비트라인 전류 제어 전압( $V_{gc}$ )을 제공하여 플래쉬 메모리 셀의 프로그램 동작을 수행할 수 있는 플래쉬 메모리 장치의 존재가 요구된다.
- 【발명이 이루고자 하는 기술적 과제】**
- <24> 본 발명의 목적은 공정 변화에 상관없이 일정한 플래쉬 메모리 셀의 프로그래밍을 위한 프로그램 워드라인 전압, 비트라인 전압, 그리고 비트라인 전류 제어 전압을 발생하는 프로그램 전압 발생 회로를 제공하는 데 있다.
- <25> 본 발명의 다른 목적은 플래쉬 메모리 셀의 프로그래밍 방법을 제공하는 데 있다.

## 【발명의 구성 및 작용】

- <26>       상기 목적을 달성하기 위하여, 본 발명의 바람직한 실시예에 의한 플래쉬 메모리 셀의 프로그래밍 동작을 위한 프로그램 전압 발생 회로는 소정의 싱크 전류를 제공하는 정전류원; 싱크 전류와 기준 전압과 비트라인 전압을 비교한 결과에 응답하여 제1 플래쉬 메모리 셀의 게이트로 인가되는 프로그램 워드라인 전압을 발생하는 프로그램 워드라인 전압 발생부; 제1 플래쉬 메모리 셀로 흐르는 프로그램 전류에 따라 비트라인 전압을 발생하는 비트라인 전압 발생부; 및 프로그램 워드라인 전압에 응답하여 제2 플래쉬 메모리 셀로 흐르는 프로그램 전류에 응답하여 비트라인 전류 제어 전압을 발생하는 비트라인 전류 제어 전압 발생부를 포함한다.
- <27>       본 발명의 더욱 바람직한 실시예에 의한 플래쉬 메모리 셀을 프로그래밍하기 위한 프로그램 전압 발생 회로는 전원 전압에 그 소스가 연결되고 그 게이트와 그 드레인이 연결되는 제1 피모스 트랜지스터와 접지 전압에 그 소스가 연결되고 그 게이트와 그 드레인이 연결되어 제1 피모스 트랜지스터의 드레인과 연결되는 제1 엔모스 트랜지스터와 접지 전압에 그 소스가 연결되고 제1 엔모스 트랜지스터의 게이트와 그 게이트가 연결되어 전류 미러를 구성하고 그 드레인이 프로그램 워드라인 전압으로 출력되는 제2 엔모스 트랜지스터로 구성되는 정전류원; 전원 전압과 제2 엔모스 트랜지스터의 드레인 사이에 연결되고 전압 비교기의 출력에 그 게이트가 연결되는 제2 피모스 트랜지스터; 기준 전압과 비트라인 전압을 비교하여 그 출력을 제2 피모스 트랜지스터의 게이트로 제공하는 전압 비교기; 소스 전압에 그 소스가 연결되고, 프로그램 워드라인 전압이 그 게이트에 연결되는 제1 플래쉬 메모리 셀; 제1 플래쉬 메모리 셀의 드레인과 접지 전압 사이에 연결되어 상기 제1 플래쉬 메모리 셀로 흐르는 프로그램 전류에 의해 비트라인 전압을 발생하는 저항; 소스 전압에 그 소스가 연결되고, 프로그램 워드라인 전압에 그 게이트가 연결되는 제2 플래쉬 메모리 셀; 및 접지 전압에 그 소스가 연결되고, 제2 플

래쉬 메모리 셀의 드레인에 그 게이트와 그 드레인이 연결되어 상기 제2 플래쉬 메모리 셀로 흐르는 상기 프로그램 전류에 의해 비트라인 전류 제어 전압을 발생하는 엔모스 트랜지스터를 포함한다.

<28>       상기 다른 목적을 달성하기 위하여, 본 발명은 플래쉬 메모리 셀을 프로그래밍하기 위한 방법에 있어서, 정전류원으로부터 소정의 싱크 전류를 제공받는 단계; 싱크 전류와 기준 전압과 비트라인 전압을 비교한 결과에 응답하여 제1 플래쉬 메모리 셀의 게이트로 인가되는 프로그램 워드라인 전압을 발생하는 단계; 제1 플래쉬 메모리 셀로 흐르는 프로그램 전류에 따라 플래쉬 메모리 셀의 드레인에 인가되는 비트라인 전압을 발생하는 단계; 프로그램 워드라인 전압을 제2 플래쉬 메모리 셀의 게이트에 인가하여 프로그램 전류에 따라 비트라인 전류 제어 전압을 발생하는 단계; 및 프로그램 워드라인 전압이 플래쉬 메모리 셀의 게이트에 인가되고, 비트라인 전압이 플래쉬 메모리 셀의 드레인에 인가되고, 비트라인 전류 제어 전압이 플래쉬 메모리 셀과 접지 전압 사이에 연결되는 엔모스 트랜지스터의 게이트에 인가되어, 플래쉬 메모리 셀로 프로그램 전류가 흘러 플래쉬 메모리 셀이 프로그래밍되는 단계를 포함한다.

<29>       따라서, 본 발명은 플래쉬 메모리 셀을 프로그램 전압 발생 회로에 채용하여 공정 변화에 의해 플래쉬 메모리 셀의 특성 변화가 일어나더라도, 항상 일정한 프로그램 워드라인 전압과 비트라인 전압, 비트라인 전류 제어 전압, 그리고 프로그램 전류가 발생되어 플래쉬 메모리 셀의 프로그램 동작이 안정적으로 수행된다.

<30>       본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 예시적인 실시예를 설명하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

- <31> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- <32> 도 9는 본 발명의 일실시예에 따른 프로그램 워드라인 전압 발생 회로를 설명하는 도면이다. 이를 참조하면, 프로그램 전압 발생 회로(900)는 프로그램 워드라인 전압 발생부(910)와 비트라인 전압 발생부(920)를 포함한다.
- <33> 프로그램 워드라인 전압 발생부(910)는 전원 전압( $V_{dd}$ )과 접지 전압( $V_{ss}$ ) 사이에 다이오드형으로 직렬 연결되는 제1 피모스 트랜지스터(P91)와 제1 엔모스 트랜지스터(N91), 제1 엔모스 트랜지스터(N91)와 전류 미러로 구성되는 제2 엔모스 트랜지스터(N92), 전원 전압( $V_{dd}$ )과 제2 엔모스 트랜지스터(N92) 사이에 연결되는 제2 피모스 트랜지스터(P92), 그리고 기준 전압( $V_{ref}$ )과 비트라인 전압( $V_{b1}$ )을 비교하여 그 출력 전압( $V_p$ )을 제2 피모스 트랜지스터(P92)로 제공하는 전압 비교기(93)를 포함한다.
- <34> 비트라인 전압 발생부(920)는 소스 전압( $V_s$ )과 비트라인 전압( $V_{b1}$ ) 사이에 연결되고 제2 피모스 트랜지스터(P92)와 제2 엔모스 트랜지스터(N92)의 연결 노드인 프로그램 워드라인 전압( $V_{w1}$ )에 게이팅되는 플래쉬 메모리 셀(C91), 그리고 비트라인 전압( $V_{b1}$ )과 접지 전압( $V_{ss}$ ) 사이에 연결되는 저항(94)을 포함한다.
- <35> 프로그램 워드라인 전압 발생 회로(900)의 동작은 다음과 같이 이루어진다. 프로그램 워드라인 전압 발생 회로(900)는 궁극적으로 비트라인 전압( $V_{b1}$ )이 기준 전압( $V_{ref}$ )과 같아지도록 동작되고, 이 때의 프로그램 워드라인 전압( $V_{w1}$ )과 비트라인 전압( $v_{b1}$ )이 플래쉬 메모리 셀로 제공되어 프로그래밍 동작이 이루어진다.

- <36> 먼저, 제1 피모스 트랜지스터(P91)와 제1 엔모스 트랜지스터(N91)를 통해 흐르는 전류를 따라서 제1 피모스 트랜지스터(P92)와 제2 엔모스 트랜지스터(N92)로 흐르는 전류에 의해 초기 프로그램 워드라인 전압( $V_{w1}$ )이 결정된다. 초기 프로그램 워드라인 전압( $V_{w1}$ )에 게이팅되는 플래쉬 메모리 셀(C91)로 초기 프로그램 전류( $I_{pgm}$ )가 흐른다. 초기 프로그램 전류( $I_{pgm}$ )에 의해 저항(94) 양단에 걸리는 초기 비트라인 전압( $V_{b1}$ )이 발생된다.
- <37> 초기 비트라인 전압( $V_{b1}$ )은 전압 비교기(93)로 제공되어 기준 전압( $V_{ref}$ )과 비교된다. 여기에서, 기준 전압( $V_{ref}$ )은 예시적으로 앞서 도 3에 도시된 프로그램 동작 시의 비트라인 전압( $V_{b1}$ )인 0.4V 정도로 설정된다. 초기 비트라인 전압( $V_{b1}$ )이 기준 전압( $V_{ref}$ ) 보다 낮은 전압 레벨이면, 전압 비교기(93)의 출력 전압( $V_p$ )은 로직 로우레벨로 발생된다. 로직 로우레벨의 출력 전압( $V_p$ )에 응답하여 제2 피모스 트랜지스터(P92)로 흐르는 전류량이 커짐에 따라 프로그램 워드라인 전압( $V_{w1}$ ) 레벨이 올라간다. 높아진 프로그램 워드라인 전압( $V_{w1}$ )에 의해 플래쉬 메모리 셀(C91)로 흐르는 프로그램 전류( $I_{pgm}$ ) 량이 많아지고, 이에 따라 저항(94) 양단에 걸리는 비트라인 전압( $V_{b1}$ )이 높아진다.
- <38> 높아진 비트라인 전압( $V_{b1}$ )은 다시 전압 비교기(93)로 제공되어 기준 전압( $V_{ref}$ )과 비교된다. 비트라인 전압( $V_{b1}$ )이 기준 전압( $V_{ref}$ ) 보다 높은 전압 레벨이면, 전압 비교기(93)의 출력 전압( $V_p$ )은 로직 하이레벨로 발생된다. 로직 하이레벨의 출력 전압( $V_p$ )에 응답하여 제2 피모스 트랜지스터(P2)에서 공급되는 전류 량이 줄어든다. 이 때, 제1 및 제2 엔모스 트랜지스터(N91, N92)로 구성되는 전류 미러의 동작에 의해 프로그램 워드라인 전압( $V_{w1}$ )의 전압 레벨이 떨어진다. 떨어진 프로그램 워드라인 전압( $V_{w1}$ )에 의해 플래쉬 메모리 셀(C91)로 흐르는 프로그램 전류( $I_{pgm}$ ) 량이 작아진다. 이에 따라 저항(94)의 양단에 걸리는 비트라인 전압( $V_{b1}$ )은 낮아진다.

- <39> 이러한 동작들의 반복으로, 프로그램 워드라인 전압 발생 회로(900)는 기준 전압( $V_{ref}$ )과 동일한 전압 레벨을 갖는 프로그램 워드라인 전압( $V_{wl}$ )을 발생한다. 그리고 이 때 결정되는 프로그램 전류( $I_{pgm}$ )에 의해 비트라인 전압( $V_{bl}$ )도 결정된다.
- <40> 도 10은 본 발명의 일실시예에 따른 비트라인 전류 제어 전압 발생 회로를 설명하는 도면이다. 이를 참조하면, 비트라인 전류 제어 전압 발생 회로(1000)는 소스 전압( $V_s$ )과 접지 전압( $V_{ss}$ ) 사이에 연결되는 프로그램 워드라인 전압( $V_{wl}$ )에 게이팅되는 플래쉬 메모리 셀( $C100$ )과 직렬 연결되는 다이오드형의 엔모스 트랜지스터( $N100$ )를 포함한다. 플래쉬 메모리 셀( $C100$ )은 도 9의 프로그램 워드라인 발생 회로(900)에서 발생된 프로그램 워드라인 전압( $V_{wl}$ )에 응답하여 프로그램 전류( $I_{pgm}$ )가 흐르고, 이 프로그램 전류( $I_{pgm}$ ) 값에 의해 엔모스 트랜지스터( $N100$ )의 드레인과 소스 사이에 걸리는 전압 레벨이 비트라인 전류 제어 전압( $V_{gc}$ )이 된다.
- <41> 본 발명의 실시예들에 의해 발생하는 프로그램 워드라인 전압( $V_{wl}$ ), 비트라인 전압( $V_{bl}$ ), 그리고 비트라인 전류 제어 전압( $V_{gc}$ )은 도 11의 플래쉬 메모리 셀( $C110$ )의 게이트와 드레인, 그리고 엔모스 트랜지스터( $N110$ )에 각각 인가되어 플래쉬 메모리 셀( $C110$ )을 프로그래밍한다. 이 때, 플래쉬 메모리 셀( $C110$ )로 흐르는 프로그램 전류( $I_{pgm}$ )은 프로그램 전압 발생 회로(900, 도 9)의 플래쉬 메모리 셀( $C91$ )과 비트라인 전류 제어 전압 발생 회로(1000)의 플래쉬 메모리 셀( $C100$ )에 흐르는 프로그램 전류( $I_{pgm}$ )와 동일하다.
- <42> 따라서, 본 발명에 의하면, 프로그램 워드라인 전압( $V_{wl}$ )을 미리 설정된 기준 전압( $V_{ref}$ )과 동일한 전압 레벨로 발생되도록 하고, 이 때 프로그램 워드라인 전압( $V_{wl}$ )에 응답하여 플래쉬 메모리 셀( $C91$ , 도 9)로 흐르는 프로그램 전류( $I_{pgm}$ )를 비트라인 전류 제어 전압( $V_{gc}$ ) 발생 때에도 동일하게 적용한다. 그리고, 플래쉬 메모리 셀의 프로그램 동작시 이 프로그램 전류( $I_{pgm}$ )가 플래쉬 메모리 셀의 프로그래밍 전류로 흐르도록 프로그램 워드라인 전압

(Vw1)과 비트라인 전류 제어 전압(Vgc)이 사용된다. 그리하여, 공정 변화에 의해 플래쉬 메모리 셀의 특성이 변화하더라도, 항상 일정하게 프로그램 워드라인 전압(Vw1), 비트라인 전압(Vb1), 그리고 비트라인 전류 제어 전압(Vgc)이 발생하기 때문에, 플래쉬 메모리 셀의 프로그램 동작이 안정적으로 수행된다.

<43> 본 발명은 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

#### 【발명의 효과】

<44> 상술한 본 발명에 의하면, 플래쉬 메모리 셀의 프로그래밍 동작을 위하여 프로그램 워드라인 전압과 비트라인 전압, 그리고 비트라인 전류 제어 전압 발생을 위하여 플래쉬 메모리 셀을 이용한다. 그리고 기준 전압 레벨로 프로그램 워드라인 전압이 발생되도록 한다. 그리하여, 공정 변화에 의해 플래쉬 메모리 셀의 특성 변화가 일어나더라도, 항상 일정한 프로그램 워드라인 전압과 비트라인 전압, 비트라인 전류 제어 전압, 그리고 프로그램 전류가 발생되어 플래쉬 메모리 셀의 프로그램 동작이 안정적으로 수행된다.

**【특허청구범위】****【청구항 1】**

플래쉬 메모리 셀의 프로그래밍 동작을 위한 프로그램 전압 발생 회로에 있어서,  
소정의 싱크 전류를 제공하는 정전류원;

상기 싱크 전류와 기준 전압과 비트라인 전압을 비교한 결과에 응답하여 제1 플래쉬 메모리 셀의 게이트로 인가되는 프로그램 워드라인 전압을 발생하는 프로그램 워드라인 전압 발생부;

상기 제1 플래쉬 메모리 셀로 흐르는 프로그램 전류에 따라 상기 비트라인 전압을 발생하는 비트라인 전압 발생부; 및

상기 프로그램 워드라인 전압에 응답하여 제2 플래쉬 메모리 셀로 흐르는 상기 프로그램 전류에 응답하여 비트라인 전류 제어 전압을 발생하는 비트라인 전류 제어 전압 발생부를 구비하는 것을 특징으로 하는 플래쉬 메모리 장치의 프로그램 전압 발생 회로.

**【청구항 2】**

제1항에 있어서, 상기 프로그램 워드라인 전압 발생부는

전원 전압에 그 소스가 연결되고, 그 게이트와 그 드레인이 연결되는 제1 피모스 트랜지스터;

접지 전압에 그 소스가 연결되고, 그 게이트와 그 드레인이 연결되어 상기 제1 피모스 트랜지스터의 드레인과 연결되는 제1 엔모스 트랜지스터;

상기 접지 전압에 그 소스가 연결되고, 상기 제1 엔모스 트랜지스터의 게이트와 그 게이트가 연결되어 전류 미러를 구성하고, 그 드레인이 상기 프로그램 워드라인 전압으로 출력되는 제2 엔모스 트랜지스터;

상기 전원 전압과 상기 제2 엔모스 트랜지스터의 드레인 사이에 연결되고 상기 비교기의 출력에 그 게이트가 연결되는 제2 피모스 트랜지스터; 및

상기 기준 전압과 상기 비트라인 전압을 비교하여 그 출력을 상기 제2 피모스 트랜지스터의 게이트로 제공하는 전압 비교기를 구비하는 것을 특징으로 하는 플래쉬 메모리 장치의 프로그램 전압 발생 회로.

#### 【청구항 3】

제1항에 있어서, 상기 비트라인 전압 발생부는

소스 전압에 그 소스가 연결되고, 상기 프로그램 워드라인 전압이 그 게이트에 상기 제1 플래쉬 메모리 셀; 및

상기 제1 플래쉬 메모리 셀의 드레인과 상기 접지 전압 사이에 연결되어 상기 비트라인 전압을 발생하는 저항을 구비하는 것을 특징으로 하는 플래쉬 메모리 장치의 프로그램 전압 발생 회로.

#### 【청구항 4】

제1항에 있어서, 상기 비트라인 전류 제어 전압 발생부는

소스 전압에 그 소스가 연결되고, 상기 프로그램 워드라인 전압에 그 게이트가 연결되는 제2 플래쉬 메모리 셀; 및

접지 전압에 그 소스가 연결되고, 상기 제2 플래쉬 메모리 셀의 드레인에 그 게이트와 그 드레인이 연결되어 비트라인 전류 제어 전압을 발생하는 엔모스 트랜지스터를 구비하는 것을 특징으로 하는 플래쉬 메모리 장치의 프로그램 전압 발생 회로.

#### 【청구항 5】

제4항에 있어서, 상기 플래쉬 메모리 장치는

플래쉬 메모리 셀 코아 블록의 프로그램하고자하는 플래쉬 메모리 셀의 게이트에 상기 프로그램 워드라인 전압이, 그 소스에 상기 소스 전압이, 그리고 그 드레인에 상기 비트라인 전압이 연결되고,

상기 플래쉬 메모리 셀의 드레인과 상기 접지 전압 사이에 상기 비트라인 전류 제어 전압에 게이팅되는 엔모스 트랜지스터를 구비하는 것을 특징으로 하는 플래쉬 메모리 장치의 프로그램 전압 발생 회로.

#### 【청구항 6】

플래쉬 메모리 셀을 프로그래밍하기 위한 프로그램 전압 발생 회로에 있어서,

전원 전압에 그 소스가 연결되고 그 게이트와 그 드레인이 연결되는 제1 피모스 트랜지스터와, 접지 전압에 그 소스가 연결되고 그 게이트와 그 드레인이 연결되어 상기 제1 피모스 트랜지스터의 드레인과 연결되는 제1 엔모스 트랜지스터와, 상기 접지 전압에 그 소스가 연결되고, 상기 제1 엔모스 트랜지스터의 게이트와 그 게이트가 연결되어 전류 미러를 구성하고 그 드레인이 상기 프로그램 워드라인 전압으로 출력되는 제2 엔모스 트랜지스터로 구성되는 정전류원;

상기 전원 전압과 상기 제2 엔모스 트랜지스터의 드레인 사이에 연결되고 전압 비교기의 출력에 그 게이트가 연결되는 제2 피모스 트랜지스터;

상기 기준 전압과 상기 비트라인 전압을 비교하여 그 출력을 상기 제2 피모스 트랜지스터의 게이트로 제공하는 상기 전압 비교기;

소스 전압에 그 소스가 연결되고, 상기 프로그램 워드라인 전압이 그 게이트에 연결되는 제1 플래쉬 메모리 셀;

상기 제1 플래쉬 메모리 셀의 드레인과 상기 접지 전압 사이에 연결되어 상기 제1 플래쉬 메모리 셀로 흐르는 프로그램 전류에 의해 상기 비트라인 전압을 발생하는 저항;

상기 소스 전압에 그 소스가 연결되고, 상기 프로그램 워드라인 전압에 그 게이트가 연결되는 제2 플래쉬 메모리 셀; 및

상기 접지 전압에 그 소스가 연결되고, 상기 제2 플래쉬 메모리 셀의 드레인에 그 게이트와 그 드레인이 연결되어 상기 제2 플래쉬 메모리 셀로 흐르는 상기 프로그램 전류에 의해 비트라인 전류 제어 전압을 발생하는 엔모스 트랜지스터를 구비하는 것을 특징으로 하는 플래쉬 메모리 장치의 프로그램 전압 발생 회로.

#### 【청구항 7】

제6항에 있어서, 상기 플래쉬 메모리 장치는

플래쉬 메모리 셀 코아 블록의 프로그램하고자하는 상기 플래쉬 메모리 셀의 게이트에 상기 프로그램 워드라인 전압이, 그 소스에 상기 소스 전압이, 그리고 그 드레인에 상기 비트라인 전압이 연결되고,

상기 플래쉬 메모리 셀의 드레인과 상기 접지 전압 사이에 상기 비트라인 전류 제어 전압에 게이팅되는 엔모스 트랜지스터를 구비하는 것을 특징으로 하는 플래쉬 메모리 장치의 프로그램 전압 발생 회로.

#### 【청구항 8】

플래쉬 메모리 셀을 프로그래밍하기 위한 방법에 있어서,

정전류원으로부터 소정의 싱크 전류를 제공받는 단계;

상기 싱크 전류와 기준 전압과 비트라인 전압을 비교한 결과에 응답하여 제1 플래쉬 메모리 셀의 게이트로 인가되는 프로그램 워드라인 전압을 발생하는 단계;

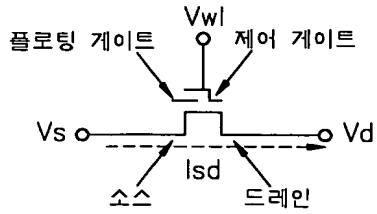
상기 제1 플래쉬 메모리 셀로 흐르는 프로그램 전류에 따라 상기 플래쉬 메모리 셀의 드레인에 인가되는 비트라인 전압을 발생하는 단계;

상기 프로그램 워드라인 전압을 제2 플래쉬 메모리 셀의 게이트에 인가하여 상기 프로그램 전류에 따라 비트라인 전류 제어 전압을 발생하는 단계; 및

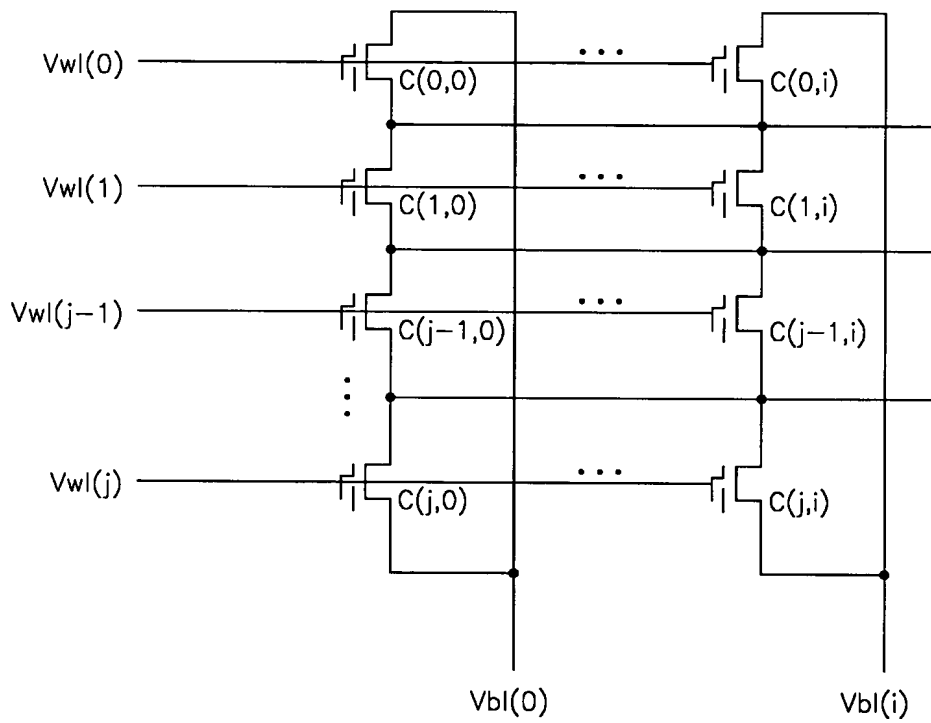
상기 프로그램 워드라인 전압이 상기 플래쉬 메모리 셀의 게이트에 인가되고, 상기 비트라인 전압이 상기 플래쉬 메모리 셀의 드레인에 인가되고, 상기 비트라인 전류 제어 전압이 상기 플래쉬 메모리 셀과 접지 전압 사이에 연결되는 엔모스 트랜지스터의 게이트에 인가되어, 상기 플래쉬 메모리 셀로 상기 프로그램 전류가 흘러 상기 플래쉬 메모리 셀이 프로그래밍되는 단계를 구비하는 것을 특징으로 하는 플래쉬 메모리 셀의 프로그래밍 방법.

## 【도면】

【도 1】



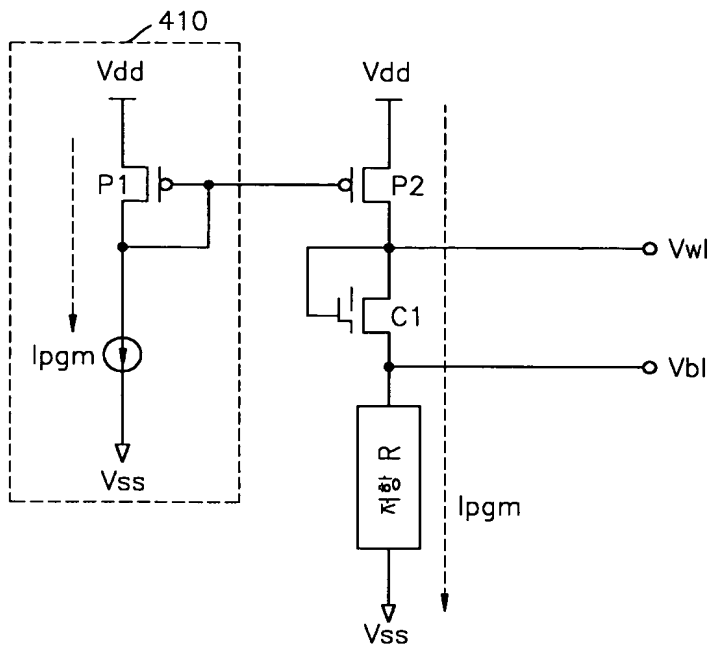
【도 2】



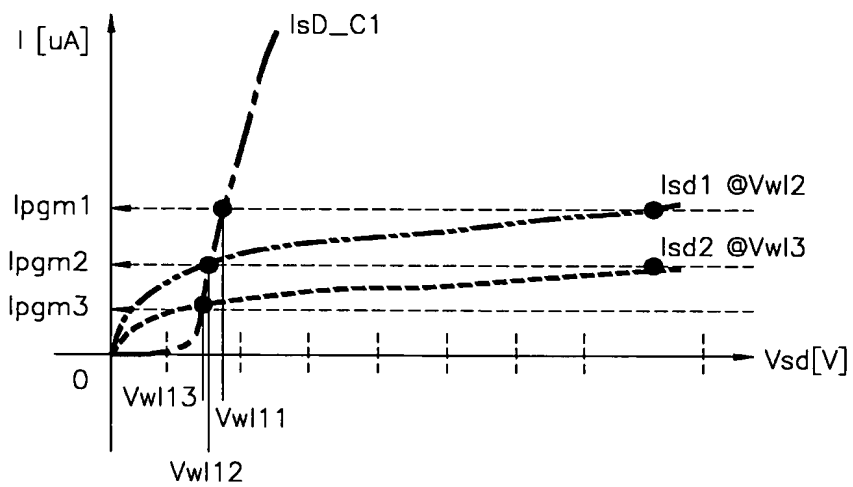
【도 3】

OPERATION	$V_{wl}$ [V]	$V_s$ [V]	$V_{bl}$ [V]
독출 동작	1.5	0	0.7
프로그래밍 동작	1.4	8	0.4
소거 동작	11.0	0	0

【도 4】

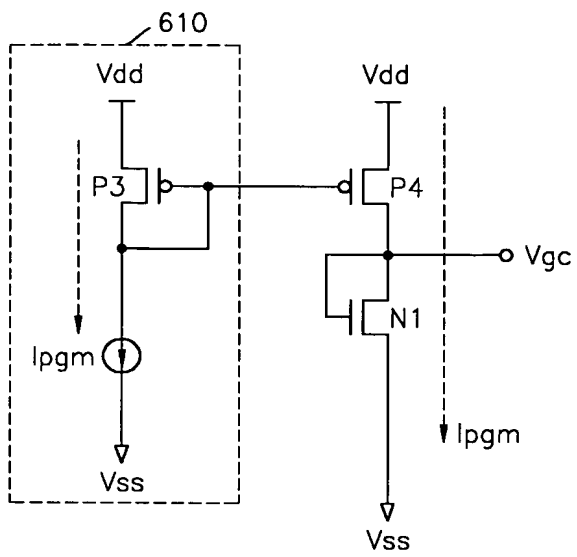


【도 5】

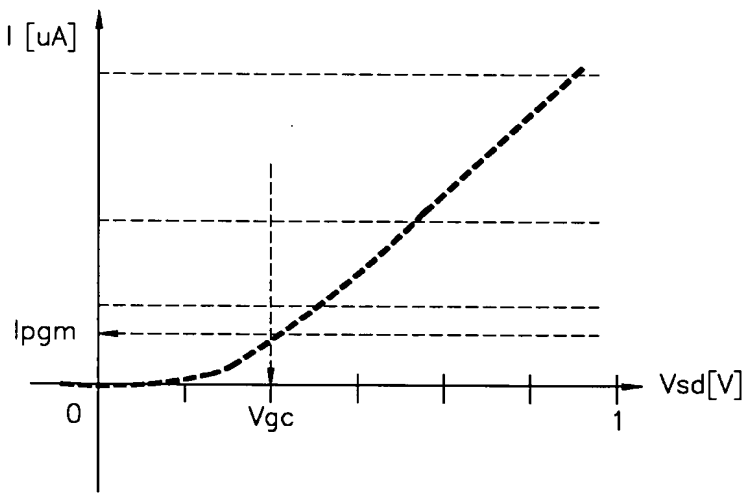




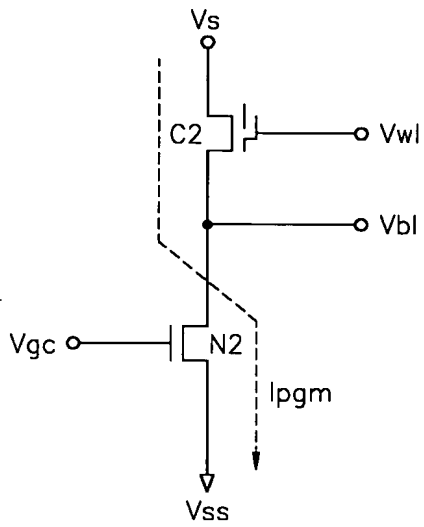
【도 6】



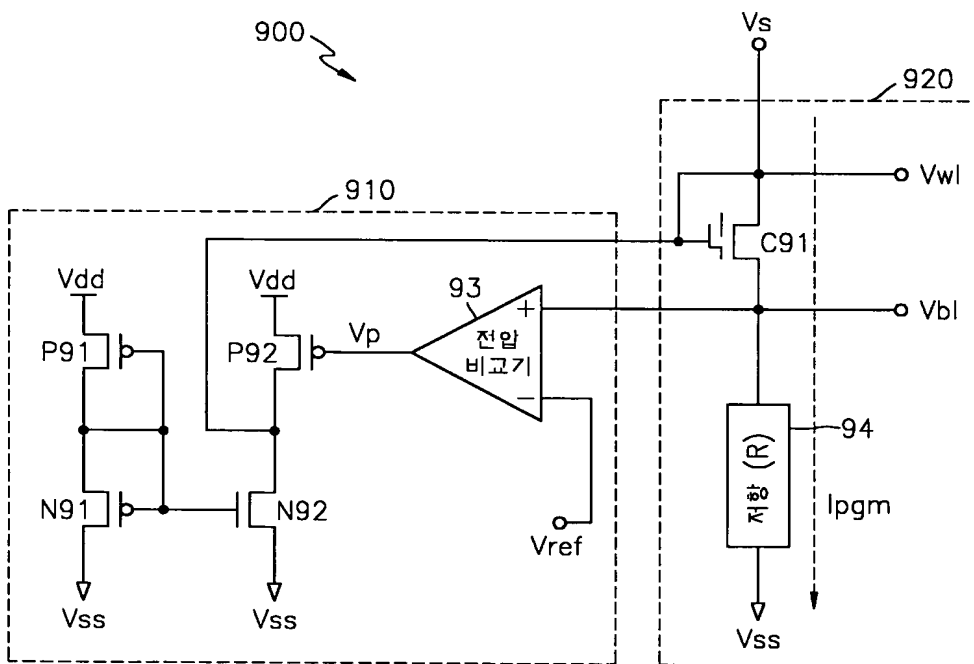
【도 7】



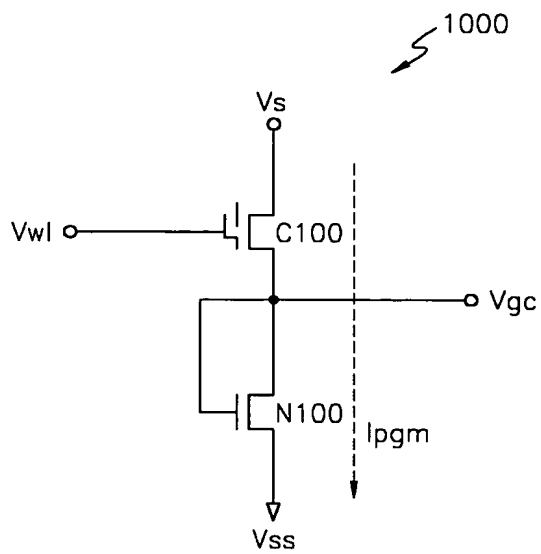
【도 8】



【도 9】



【도 10】



【도 11】

